



bonding layer 13 of Ta and a lower electrode 14 of Pt are formed on the oxide silicon layer 12 in this order by using a sputtering method, and a substratum composed of Pt/Ta/SiO(sub 2)/Si is formed. A first ferroelectric film 15 of Bi(sub 4)Ti(sub 3)O(sub 12) is formed on the Pt electrode 14, and an intermediate buffer layer 16 of titanium oxide is formed on the first ferroelectric film 15. A second ferroelectric film 17 of Bi(sub 4)Ti(sub 3)O(sub 12) is formed on the titanium oxide 16, and a ferroelectric film covering substratum constituted of three layers is formed. By arranging the intermediate layer between the ferroelectric films, asymmetry of the hysteresis loop can be prevented.

6/4/3

FN- DIALOG(R)File 347:JAPIO|  
CZ- (c) 2001 JPO & JAPIO. All rts. reserv.|  
TI- FERROELECTRIC THIN FILM DEVICE, MANUFACTURE THEREOF AND FERROELECTRIC MEMORY DEVICE  
PN- 09-321234 -J P 9321234 A-  
PD- December 12, 1997 (19971212)  
AU- ITO YASUYUKI; USHIKUBO MAHO; YOKOYAMA SEIICHI; MATSUNAGA HIRONORI  
PA- SHARP CORP [000504] (A Japanese Company or Corporation), JP (Japan)  
AN- 08-145425 -JP 96145425-  
AN- 08-145425 -JP 96145425-  
AD- June 07, 1996 (19960607)  
IC- -6- H01L-027/10; H01L-027/04; H01L-021/822; H01L-027/108; H01L-021/8242  
; H01L-021/8247; H01L-029/788; H01L-029/792; H01L-037/02; H01L-041/09  
; H01L-041/18; H01L-041/22; H01L-021/316  
CL- 42.2 (ELECTRONICS -- Solid State Components)  
KW- R002 (LASERS); R005 (PIEZOELECTRIC FERROELECTRIC SUBSTANCES); R007  
(ULTRASONIC WAVES); R097 (ELECTRONIC MATERIALS -- Metal Oxide  
Semiconductors, MOS); R115 (X-RAY APPLICATIONS)  
AB- PROBLEM TO BE SOLVED: To provide a ferroelectric thin film device, a  
manufacturing method thereof and a ferroelectric memory device,  
enabling the low temperature film forming with reduced leak current.

SOLUTION: The method of manufacturing a ferroelectric thin film device having a lower electrode layer 4, the ferroelectric thin film 5 and upper electrode layer 6 successively laminated on a substrate comprises forming an oxide thin film to be the ferroelectric thin film 5 on the lower electrode layer 4 formed on the substrate by the physical or chemical vapor deposition, forming the upper electrode layer 6 on this oxide thin film, and heating it to form the ferroelectric thin film 5 in a less pressure gas atmosphere than 1atm. in a heat treating step.

6/4/4

FN- DIALOG(R)File 347:JAPIO|  
CZ- (c) 2001 JPO & JAPIO. All rts. reserv.|  
TI- DESTATICIZING METHOD OF SEMICONDUCTOR SUBSTRATE  
PN- 09-223673 -J P 9223673 A-  
PD- August 26, 1997 (19970826)  
AU- MIZUNO YOSHIYUKI  
PA- DAIDO STEEL CO LTD [330235] (A Japanese Company or Corporation), JP  
(Japan)  
AN- 08-030221 -JP 9630221-  
AN- 08-030221 -JP 9630221-  
AD- February 19, 1996 (19960219)  
IC- -6- H01L-021/205; H01L-021/68  
CL- 42.2 (ELECTRONICS -- Solid State Components)

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09321234 A**

(43) Date of publication of application: **12.12.97**

(51) Int. Cl.

**H01L 27/10**  
**H01L 27/04**  
**H01L 21/822**  
**H01L 27/108**  
**H01L 21/8242**  
**H01L 21/8247**  
**H01L 29/788**  
**H01L 29/792**  
**H01L 37/02**  
**H01L 41/09**  
**H01L 41/18**  
**H01L 41/22**  
**// H01L 21/316**

(21) Application number: **08145425**

(22) Date of filing: **07.06.96**

(30) Priority: **25.03.96 JP 08 67773**

(71) Applicant: **SHARP CORP**

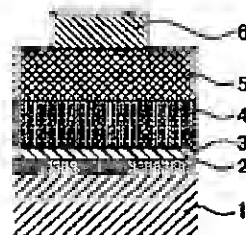
(72) Inventor: **ITO YASUYUKI**  
**USHIKUBO MAHO**  
**YOKOYAMA SEIICHI**  
**MATSUNAGA HIRONORI**

(54) **FERROELECTRIC THIN FILM DEVICE,  
MANUFACTURE THEREOF AND  
FERROELECTRIC MEMORY DEVICE**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a ferroelectric thin film device, a manufacturing method thereof and a ferroelectric memory device, enabling the low temp. film forming with reduced leak current.

**SOLUTION:** The method of manufacturing a ferroelectric thin film device having a lower electrode layer 4, the ferroelectric thin film 5 and upper electrode layer 6 successively laminated on a substrate comprises forming an oxide thin film to be the ferroelectric thin film 5 on the lower electrode layer 4 formed on the substrate by the physical or chemical vapor deposition, forming the upper electrode layer 6 on this oxide thin film, and heating it to form the ferroelectric thin film 5 in a less pressure gas atmosphere than 1atm. in a heat treating step.



COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-321234

(43) 公開日 平成9年(1997)12月12日

(51) Int.Cl.*	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 27/10	4 5 1		H 0 1 L 27/10	4 5 1
27/04			37/02	
21/822			21/316	X
27/108			27/04	C
21/8242			27/10	6 5 1

審査請求 未請求 請求項の数11 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願平8-145425

(22) 出願日 平成8年(1996)6月7日

(31) 優先権主張番号 特願平8-67773

(32) 優先日 平8(1996)3月25日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 伊藤 康幸

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 牛久保 真帆

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 横山 誠一

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 弁理士 梅田 勝

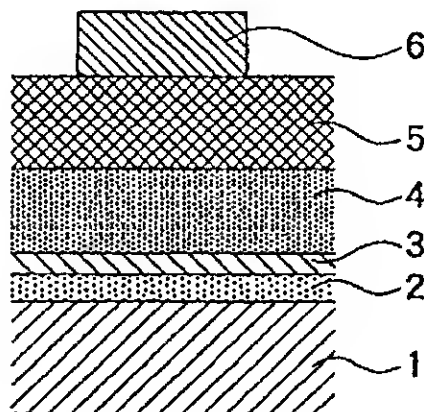
最終頁に続く

(54) 【発明の名称】 強誘電体薄膜素子の製造方法、強誘電体薄膜素子、及び強誘電体メモリ素子

(57) 【要約】

【課題】 本発明は、成膜温度の低温化、リーク電流の低減が可能な強誘電体薄膜素子の製造方法、強誘電体薄膜素子、及び強誘電体メモリ素子を提供することを目的としている。

【解決手段】 基板上に下部電極層4と強誘電体薄膜5と上部電極層6とを順番に備える強誘電体薄膜素子の製造方法において、基板上に形成された下部電極層4上に物理的蒸着法又は化学的蒸着法により強誘電体薄膜5と成る酸化物薄膜を形成し、その酸化物薄膜上に上部電極層6を形成した後に、1気圧より低いガス圧力雰囲気中にて加熱して強誘電体薄膜5を形成する熱処理工程を施す。



## 【特許請求の範囲】

【請求項1】 基板上に下部電極層と強誘電体薄膜と上部電極層とを順番に備える強誘電体薄膜素子の製造方法において、

基板上に形成された前記下部電極層上に物理的蒸着法又は化学的蒸着法により強誘電体薄膜と成る酸化物薄膜を形成し、該酸化物薄膜上に上部電極層を形成した後に、1気圧より低いガス圧力雰囲気中にて加熱して強誘電体薄膜を形成する熱処理工程を施すことを特徴とする強誘電体薄膜素子の製造方法。

【請求項2】 前記強誘電体薄膜がペロブスカイト構造又は層状ペロブスカイト構造を有することを特徴とする請求項1に記載の強誘電体薄膜素子の製造方法。

【請求項3】 前記強誘電体薄膜がBi元素を含有するビスマス層状ペロブスカイト構造化合物から成り、前記酸化物薄膜形成工程において強誘電体薄膜の化学量論組成比よりもBi元素を過剰に含ませて酸化物薄膜を形成することを特徴とする請求項2に記載の強誘電体薄膜素子の製造方法。

【請求項4】 前記酸化物薄膜形成工程におけるBi元素の過剰量が30mol%以下であることを特徴とする請求項3に記載の強誘電体薄膜素子の製造方法。

【請求項5】 前記酸化物薄膜形成工程が、MOCVD法を用いて基板温度400℃以上600℃以下で酸化物薄膜を形成する工程であることを特徴とする請求項1から4のいずれか1項に記載の強誘電体薄膜素子の製造方法。

【請求項6】 前記酸化物薄膜形成工程が、スパッタ法を用いて基板温度250℃以上500℃以下で酸化物薄膜を形成する工程であることを特徴とする請求項1から4のいずれか1項に記載の強誘電体薄膜素子の製造方法。

【請求項7】 前記熱処理工程における雰囲気ガス圧力が0.5 Torr以上20 Torr以下であることを特徴とする請求項1から6のいずれか1項に記載の強誘電体薄膜素子の製造方法。

【請求項8】 前記熱処理工程における雰囲気ガスが酸素、窒素、アルゴン、又はこれらのうちの2種類以上の混合ガスであることを特徴とする請求項1から7のいずれか1項に記載の強誘電体薄膜素子の製造方法。

【請求項9】 前記熱処理工程における加熱温度が500℃以上650℃以下であることを特徴とする請求項1から8のいずれか1項に記載の強誘電体薄膜素子の製造方法。

【請求項10】 請求項1から9のいずれか1項に記載の強誘電体薄膜素子の製造方法により製造された強誘電体薄膜素子であって、強誘電体薄膜が、200nm以下の膜厚で、最大結晶粒径100nm以下のビスマス層状構造化合物から成ることを特徴とする強誘電体薄膜素子。

【請求項11】 請求項1から9のいずれか1項に記載の強誘電体薄膜素子の製造方法により製造された強誘電体メモリ素子であって、

少なくとも一つのスイッチ用トランジスタと一つの強誘電体キャパシタとを備えたメモリセルを含み、前記スイッチ用トランジスタが形成された半導体基板上を覆う第1の絶縁体薄膜と、該第1の絶縁体薄膜を貫き内部を導電物質で充填されたコンタクトプラグと、該コンタクトプラグ上に形成された下部電極と、該下部電極上に形成された強誘電体薄膜と、該強誘電体薄膜上に形成された上部電極とを備えたスタック型構造を有し、前記強誘電体薄膜がビスマス層状構造化合物から成ることを特徴とする強誘電体メモリ素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、メモリ素子、焦電センサ素子、圧電素子等に用いられる強誘電体薄膜素子の製造方法、強誘電体薄膜素子、及び強誘電体メモリ素子に関するものである。

## 【0002】

【従来の技術】強誘電体薄膜は、自発分極、高誘電率、電気光学効果、圧電効果、及び焦電効果等の多くの機能をもつので、広範なデバイス開発に応用されている。例えば、その焦電性を利用して赤外線リニアアレイセンサに、また、その圧電性を利用して超音波センサに、その電気光学効果を利用して導波路型光変調器に、その高誘電性を利用してDRAMやMMIC用キャパシタにと、様々な方面で用いられている。

【0003】それらの広範な応用デバイス開発の中でも、近年の薄膜形成技術の進展に伴って、半導体メモリ技術との組み合わせにより、高密度でかつ高速に動作する強誘電体不揮発性メモリ(FRAM)の開発が盛んである。強誘電体薄膜を用いた不揮発性メモリは、その高速書き込み/読み出し、低電圧動作、及び書き込み/読み出し耐性に優れることから、従来の不揮発性メモリの置き換えだけでなく、SRAMやDRAMに対する置き換えも可能なメモリとして、実用化に向けた研究開発が盛んに行われている。

【0004】このようなデバイス開発には、残留分極(P<sub>r</sub>)が大きくかつ抗電場(E<sub>c</sub>)が小さく、低リーク電流であり、分極反転の繰り返し耐性の大きな材料が必要である。さらには、動作電圧の低減と半導体微細加工プロセスに適合するために膜厚200nm以下の薄膜で上記の特性を実現することが望ましい。

【0005】従来、これらの用途に用いられる強誘電体材料としては、PZT(チタン酸ジルコン酸鉛、Pb(Ti<sub>x</sub>, Zr<sub>1-x</sub>)O<sub>3</sub>)に代表されるペロブスカイト構造の酸化物材料が主流であった。ところが、PZTのように鉛をその構成元素として含む材料は、鉛やその酸化物の蒸気圧が高いため、成膜時に鉛が蒸発してしまい

膜中に欠陥を発生させたり、ひどい場合にはピンホールを形成する。この結果、リーク電流が増大したり、更に分極反転を繰り返すと、自発分極の大きさが減少する疲労現象が起こるなどの欠点があった。特に、FRAMに対する置き換えを考えると、疲労現象に関しては、 $10^{15}$ 回の分極反転後も特性の変化がないことを保証しなければならないため、疲労のない強誘電体薄膜の開発が望まれていた。

【0006】これに対し、近年、ビスマス層状構造化合物材料の研究開発が行われている。ビスマス層状構造化合物材料は、1959年に、Smolenskiiらによって発見され(G. A. Smolenskii, V. A. Isupov and A. I. Agranovskaya, Soviet Phys. Solid State, 1, 149 (1959))、その後、Subbaraoにより詳細な検討がなされた(E. C. Subbarao, J. Phys. Chem. Solids, 23, 665 (1962))。最近、Carlos A. Pazde Araujoらは、このビスマス層状構造化合物薄膜が強誘電体及び高誘電体集積回路への応用に適していることを発見し、特に $\text{SrBi}_2\text{T}_{a_2}\text{O}_9$ では、 $10^{12}$ 回以上の分極反転後も特性に変化が見られないという優れた疲労特性を報告している(International Application No. PCT/US92/10542)。

【0007】また、強誘電体薄膜の製造方法には、真空蒸着法、スパッタリング法、レーザーアブレーション法等の物理的方法や、有機金属化合物を出発原料とし、これらを熱分解酸化して酸化物強誘電体を得るゾルゲル法又はMOD (Metal Organic Decomposition) 法、MOCVD (Metal Organic Chemical Vapor Deposition) 法等の化学的方法が用いられている。

【0008】上記成膜法の中で、ゾルゲル法又はMOD法は、原子レベルの均質な混合原料溶液を用いることで、組成制御が容易で再現性に優れること、特別な真空装置が必要なく常圧で大面積の成膜が可能であること、工業的に低コストである等の利点から広く利用されているが、特に、上記ビスマス層状構造化合物薄膜の成膜方法としては、主としてMOD法が用いられており、従来のMOD法の成膜プロセスでは、下記のような工程で強誘電体薄膜又は誘電体薄膜が製造される(International Application No. PCT/US92/10542, PCT/US93/10021)。

【0009】(1) 複合アルキシド等からなる前駆体溶液をスピンコート法等で基板上に塗布成膜する工程。

(2) 溶媒や(1)の工程において反応生成したアルコールや残留水分を膜中より離脱させるために、 $150^\circ\text{C}$ で30秒から数分間、得られた膜を加熱乾燥する工程。

(3) 膜中の有機物成分を熱分解除去するためにRTA (Rapid Thermal Annealing) 法を用いて酸素雰囲気中で $725^\circ\text{C}$ で30秒間、加熱処理する工程。

(4) 膜を結晶化させるために、酸素雰囲気中で $800^\circ\text{C}$ で1時間、加熱処理する工程。

(5) 上部電極を形成した後、酸素雰囲気中で $800^\circ\text{C}$ で30分間、加熱処理する工程。なお、所望の膜厚を得

るためには、(1)から(3)の工程を繰り返し、最後に(4)、(5)の工程を行う。以上のようにして、強誘電体薄膜又は誘電体薄膜を製造することができる。

【0010】

【発明が解決しようとする課題】しかしながら、上記のような従来のMOD法による強誘電体薄膜の製造方法において、上部電極を形成する前に結晶化を行う工程(工程(4))による強誘電体薄膜は、 $650^\circ\text{C}$ 以下の焼成温度ではほとんど結晶化せず、高い残留分極値を得るためには、 $800^\circ\text{C}$ と極めて高温で、1時間もの長時間加熱処理する必要がある(International Application No. PCT/US93/10021)。このため、粒子径が $200\text{nm}$ 程度の大きさの粗な膜になり、リーク電流が増大すると共に絶縁耐性も低下し、さらに微細加工が困難になることから高集積化には適していなかった。

【0011】また、従来のMOD法においては、一回のスピンコートで得られる膜厚を約 $100\text{nm}$ 以上にすると、クラックが発生するなどの問題があるため、一回のスピンコートで得られる膜厚を $100\text{nm}$ 以下になるように前駆体溶液の濃度を調整していた。従って、約 $200\text{nm}$ の膜厚を得るためには数回の塗布工程が必要となり、かつ、スピンコーターで一回塗布する毎にRTAでの熱処理が必要となり、素子の製造プロセス上極めて非生産的となっていた。

【0012】一方、強誘電体不揮発性メモリを高集積化するためには、選択トランジスタと強誘電体キャパシタをコンタクトプラグで接続し、コンタクトプラグ上に強誘電体キャパシタを形成したスタック型構造を採用する必要がある(S. Onishi et al., IEEE IEDM Technical Digest, p. 843 (1994))。ところが、強誘電体薄膜を形成するための酸素雰囲気中での高温で長時間の加熱処理は、強誘電体薄膜と電極との界面における相互拡散や、ポリシリコン等のコンタクトプラグ材料の酸化、コンタクトプラグ材料と下部電極材料や強誘電体薄膜との相互拡散等によるコンタクト不良や特性劣化を引き起こすなどの問題がある。

【0013】このため、高温に長時間耐える電極材料やバリアメタル材料を厚く形成する必要があるが、これによりキャパシタ部分の段差が大きくなり、素子を高集積化する場合の障害となっている。よって、キャパシタ全体の膜厚を薄くして高集積化を図るためには、強誘電体薄膜は、従来よりも少しでも低温の熱処理で良好な特性が得られることが望ましい。その目安として、強誘電体薄膜の熱処理温度は、 $650^\circ\text{C}$ 以下である必要がある。また、スタック構造は4Mビットから16Mビットより集積度の高いメモリに採用されるものと考えられ、そのメモセルの大きさとしては $2 \times 2 \mu\text{m}^2$ 程度以下となり、微細加工や強誘電特性の均一性の観点から強誘電体薄膜の結晶粒径は $100\text{nm}$ 程度以下にする必要がある。

【0014】近年、MOCVD法による成膜も行われ始めており、上記のビスマス層状ペロブスカイト構造化合物の中では、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜の成膜についての報告が多くなされている。しかしながら、成膜時の基板温度は700℃程度の高温を必要とし、成膜された膜の表面モフォロジーは粗大結晶粒から成るため、微細加工に適さないことやリーク電流が大きいなどの問題が報告されている。その他の材料のビスマス層状ペロブスカイト構造化合物薄膜のMOCVD法による成膜は、まだ、ほとんどなされていないが、やはり同様の問題を有するものと考えられる。

【0015】本発明は、上記課題を解決するためになされたものであって、従来の強誘電体薄膜素子の製造方法と比べて成膜温度が低温化できる強誘電体薄膜素子の製造方法、該製造方法によって製造された緻密でリーク電流が低減された強誘電体薄膜素子、及びスタック型構造を有する強誘電体メモリ素子を提供することを目的としている。

【0016】

【課題を解決するための手段】上記課題を解決するため、本発明では、基板上に下部電極層と強誘電体薄膜と上部電極層とを順番に備える強誘電体薄膜素子の製造方法において、基板上に形成された前記下部電極層上に物理的蒸着法又は化学的蒸着法により強誘電体薄膜と成る酸化物薄膜を形成し、その酸化物薄膜上に上部電極層を形成した後に、1気圧より低いガス圧力雰囲気中にて加熱して強誘電体薄膜を形成する熱処理工程を施すこととしている。

【0017】さらに、本発明では、上記の強誘電体薄膜素子の製造方法において、強誘電体薄膜としてペロブスカイト構造又は層状ペロブスカイト構造を有するものを用いている。

【0018】さらに、本発明では、上記の強誘電体薄膜素子の製造方法において、強誘電体薄膜がBi元素を含有するビスマス層状ペロブスカイト構造化合物から成り、酸化物薄膜形成工程において強誘電体薄膜の化学量論組成比よりもBi元素を過剰に含ませて酸化物薄膜を形成することとしている。

【0019】さらに、本発明では、上記の強誘電体薄膜素子の製造方法において、酸化物薄膜形成工程におけるBi元素の過剰量を30mol%以下としている。

【0020】また、本発明では、上記の強誘電体薄膜素子の製造方法において、酸化物薄膜形成工程として、MOCVD法を用いて基板温度400℃以上600℃以下で酸化物薄膜を形成することとしている。

【0021】また、本発明では、上記の強誘電体薄膜素子の製造方法において、酸化物薄膜形成工程として、スパッタ法を用いて基板温度250℃以上500℃以下で酸化物薄膜を形成することとしている。

【0022】また、本発明では、上記の強誘電体薄膜素

子の製造方法において、熱処理工程における雰囲気ガス圧力を0.5Torr以上20Torr以下としている。

【0023】また、本発明では、上記の強誘電体薄膜素子の製造方法において、熱処理工程における雰囲気ガスとして、酸素、窒素、アルゴン、又はこれらのうちの2種類以上の混合ガスを用いている。

【0024】また、本発明では、上記の強誘電体薄膜素子の製造方法において、熱処理工程における加熱温度を500℃以上650℃以下としている。

【0025】また、本発明では、上記の強誘電体薄膜素子の製造方法により製造された強誘電体薄膜素子であって、200nm以下の膜厚で最大結晶粒径100nm以下のビスマス層状構造化合物から成る強誘電体薄膜から強誘電体薄膜素子を構成している。

【0026】また、本発明では、上記の強誘電体薄膜素子の製造方法により製造された強誘電体メモリ素子であって、少なくとも一つのスイッチ用トランジスタと一つの強誘電体キャパシタとを備えたメモリセルを含み、そのスイッチ用トランジスタが形成された半導体基板上を覆う第1の絶縁体薄膜と、その第1の絶縁体薄膜を貫き内部を導電物質で充填されたコンタクトプラグと、そのコンタクトプラグ上に形成された下部電極と、その下部電極上に形成された強誘電体薄膜と、その強誘電体薄膜上に形成された上部電極とを備えたスタック型構造を有し、強誘電体薄膜がビスマス層状構造化合物から成ることとしている。

【0027】上記のように、本発明の強誘電体薄膜素子の製造方法では、物理的蒸着法又は化学的蒸着法を用いた強誘電体薄膜素子の製造方法において、所望の強誘電体薄膜材料の成分元素から成る酸化物薄膜を形成し、その上に上部電極層を形成した後の熱処理工程として、1気圧より低いガス圧力雰囲気中にて酸化物薄膜を加熱することにより強誘電体薄膜を結晶化させている。これにより、本発明によれば、従来の製造方法と比べて成膜温度の低温化が可能となると共に、その製造方法によって製造された膜は、粒子径の小さい緻密な膜となるので、リーク電流が小さく、絶縁耐性が高いなど、非常に優れた強誘電体薄膜を得ることができる。

【0028】

【発明の実施の形態】以下、本発明による第1の実施の形態について、図面を参照して説明する。図1は、本発明の強誘電体薄膜の製造方法による第1の実施の形態の強誘電体薄膜素子の構造を示す断面図である。図1に示すように、この強誘電体薄膜素子は、n型シリコン基板1の表面に膜厚200nmのシリコン熱酸化膜2を形成し、その上に、膜厚30nmのTa膜3、膜厚200nmのPt膜4、膜厚200nmの強誘電体薄膜である $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 薄膜（以下、SBTO薄膜と称す）5、膜厚100nmのPt上部電極6が、それぞれ順次

形成されている。

【0029】なお、ここで、シリコン熱酸化膜2は、層間絶縁膜として設けたものであり、これに限定されるものではない。また、Pt膜4は、この上に酸化物膜を形成するので、酸化されにくい電極材料として選択されたものであって、この他にRuO<sub>2</sub>やIrO<sub>2</sub>などの導電性酸化物膜などを用いても良い。そして、Ta膜3は、シリコン熱酸化膜2とPt膜4の密着性を考慮して用いており、このほかに、Ti膜やTiN膜を用いても良い。また、図1に示す素子構造は、後述する強誘電体薄膜の電気特性を評価するものであって、本発明がこれに限定されるものではない。

【0030】次に、図1に示す強誘電体薄膜素子の製造方法について説明する。まず、n型シリコン基板1の表

面に、膜厚が200nmのシリコン熱酸化膜2を形成する。なお、本実施の形態では、シリコン熱酸化膜の形成方法として、シリコン基板1表面を1000℃で熱酸化することによって形成する。そして、このシリコン熱酸化膜2上に、膜厚が30nmのTa膜3をスパッタ法により形成し、さらにこの上に、厚さが200nmのPt膜4を形成し、これを強誘電体薄膜形成基板として用いる。

【0031】次に、この基板上に、MOCVD法を用いて、酸化物薄膜であるビスマスストロンチウムタンタレート薄膜を形成する。このときのMOCVD法による成膜における原料の供給条件を下記表1に示す。

【0032】

【表1】

原料	Sr(DPM) <sub>2</sub> +THF	Bi(o-C <sub>7</sub> H <sub>7</sub> ) <sub>3</sub>	Ta(OC <sub>2</sub> H <sub>5</sub> ) <sub>5</sub>
原料温度	130℃	160℃	50℃
キャリアガス(Ar)流量	100sccm	200sccm	50sccm
反応ガス(O <sub>2</sub> )流量	1000sccm		
成膜室内ガス圧力	5 Torr		

【0033】表1に示すように、ストロンチウム原料としてSr(DPM)<sub>2</sub>(ストロンチウムビスジピバロイルメタナート、Sr(C<sub>11</sub>H<sub>20</sub>O<sub>2</sub>)<sub>2</sub>)をTHF(テトラヒドロフラン)溶媒中に0.1mol/lの濃度で溶解させ、ビスマス原料としてBi(o-OC<sub>7</sub>H<sub>7</sub>)(トリオルトトリルビルビスマス)を、タンタル原料としてTa(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub>(ペンタエトキシタンタル)をそれぞれ用いて、これらの原料を表1に示す原料温度でそれぞれ加熱気化して(ストロンチウム原料130℃、ビスマス原料160℃、タンタル原料50℃)、キャリアガスであるAr(アルゴン)ガスと反応ガスであるO<sub>2</sub>(酸素)ガスと共に成膜室内に供給した。ここで、Arガス供給時の流量は、Sr原料に対して100sccm、Bi原料に対して200sccm、Ta原料に対して50sccmとした。なお、この成膜工程において、成膜室内の真空度は、10Torr以上であると気相反応が起こりやすくなるので、5Torrとした。

【0034】このような条件で、成膜温度すなわち基板温度を500℃に設定し、約1時間成膜を行い、膜厚200nmのビスマスストロンチウムタンタレート薄膜を形成した。

【0035】このようにして形成したビスマスストロンチウムタンタレート薄膜についてのX線回折による結晶性の評価の結果を、図2及び図3に示す。図2及び図3において、縦軸は回折強度、横軸は回折角度であり、PtのピークはPt膜4(下部電極)によるもの、Siのピークはシリコン基板1によるものである。また、図2はビスマスストロンチウムタンタレート薄膜形成後に熱処理(アニール)を施す前の薄膜による結果であり、図3はビスマスストロンチウムタンタレート薄膜形成後に

750℃30分間の熱処理(アニール)を施して結晶化させた後の薄膜による結果である。この750℃30分間の熱処理(アニール)は、後述するPt上部電極6形成後の熱処理工程に相当するものであり、これと同条件の熱処理後の前後のビスマスストロンチウムタンタレート薄膜の結晶性を評価するために施したものである。

【0036】図2によると、図3に現れているような層状ペロブスカイト構造の明確な結晶ピーク(SBTOピーク)は観察されなかったが、半値幅の広い緩やかなピークが見受けられ、完全なアモルファス構造ではないことが分かる。そして、図2には、図3における最も強いSBTOピークであるSBTO(105)の位置に、半値幅の広い緩やかなピークが観察され、このことから結晶の核となる微結晶が生成しているものと考えられる。なお、これ以外の図2の半値幅の広い緩やかなピークは、図3のピークとは少しずれたような位置に存在しているが、この原因の一つとして、SBTOが完全に結晶化しておらず一種の中間生成物のようなものが薄膜中に存在し、これにより現れたピークであることが考えられる。

【0037】また、この熱処理を施さないビスマスストロンチウムタンタレート薄膜について、組成分析装置EPM(A Electron Probe Micro Analysis)による組成分析を行った結果、Sr/Bi/Ta組成比は、Sr/Bi/Ta=1/2.4/2であり、Bi元素の過剰量は20mol%であった。

【0038】その後、上記の熱処理を施さないビスマスストロンチウムタンタレート薄膜上に、EB(electron beam)蒸着法により、膜厚200nmのPt上部電極6をマスク蒸着した。本実施の形態では、強誘電体特性



評価用の電極サイズとして、Pt上部電極6を $100\mu\text{m}$ の電極としたが、本発明がこれらの電極形状や電極サイズに限定されるものではない。

【0039】次に、RTA (Rapid Thermal Annealing) 法を用い、5 Torr 酸素雰囲気中にて $400^{\circ}\text{C}$ ～ $750^{\circ}\text{C}$ に加熱して、30分間の熱処理工程を行った。なお、本実施の形態ではRTA法を用いて5 Torr 酸素雰囲気中で熱処理を行ったが、RTA法以外に1気圧より低いガス圧力雰囲気中で熱処理ができるものであれば通常の熱処理炉を用いても良いし、熱処理雰囲気としては、酸素以外に窒素又はアルゴン等の不活性ガスでも良く、また、窒素やアルゴン等の不活性ガス及び酸素のうちの2種類以上混合させた混合ガスであっても良い。以上の工程により、強誘電体薄膜素子の作製を完了する。

【0040】図4、図5、及び図6は、上述の製造工程により得られた膜の熱処理温度に対する強誘電特性を示すグラフである。強誘電特性の測定は、図1に示すタイプのキャパシタに対して、公知のソーヤタワー回路を用いて、印加電圧を3Vとして行ったものである。

【0041】図4は、膜の残留分極Prの値を示すグラフである。熱処理温度の低下に伴いPrも減少するが、熱処理温度が $600^{\circ}\text{C}$ でも $4\mu\text{C}/\text{cm}^2$ 以上の値が得られており、 $500^{\circ}\text{C}$ 未満でPrが急激に低下している。図5は、この製造方法で作製した膜の抗電界Ecの値を示すグラフであり、 $500^{\circ}\text{C}$ 以上では熱処理温度に因らずほぼ一定の値を示している。図6に示す蓄積電荷量 $\delta Q$ は、図4に示したPrと同じように、熱処理温度に依存して増加し、熱処理温度が $500^{\circ}\text{C}$ 以上では良好な特性を示している。

【0042】図7、図8、及び図9は、5 Torr 酸素雰囲気中 $600^{\circ}\text{C}$ で30分間の熱処理を行った場合の強誘電体特性の印加電圧依存性を示すグラフである。これらのグラフは、図7、図8、及び図9がそれぞれ、Pr、Ec、及び $\delta Q$ の値を示したものであり、これらから、印加電圧の増加に伴い、Pr、Ec、及び $\delta Q$ が印加電圧3V程度から飽和し始めていることを示している。これは、3V以上の印加電圧であれば、多少の電圧の変化があっても、常に一定の特性が得られることを示しており良好な強誘電体特性であるといえる。

【0043】図10は、5 Torr 酸素雰囲気中 $600^{\circ}\text{C}$ で30分間の熱処理を行ったサンプルに、電圧3V、周波数1kHzのパルスを印加して、繰り返し分極反転を行った場合の、繰り返し分極反転回数に対する蓄積電荷量 $\delta Q$ の変化をプロットしたグラフである。 $2 \times 10^{11}$ サイクルの分極反転後も蓄積電荷量に全く変化は見られず、不揮発性メモリに応用するのに良好な特性を示す。

【0044】図11は、3V印加時の熱処理温度に対するリーク電流の変化を示すグラフである。 $550^{\circ}\text{C}$ 以上

では第2熱処理温度に因らず $6 \sim 9 \times 10^{-8} \text{A}/\text{cm}^2$ の値となっており、 $500^{\circ}\text{C}$ 以下ではリーク電流が大きいが、後述の比較例に見られるような熱処理温度の低温化の際に問題となったリーク電流の著しい増加は観られなかった。

【0045】次に、本実施の形態の一連のサンプルの強誘電体薄膜の状態を、SEM (電子顕微鏡) で観察した結果、熱処理温度が低いほどそれを構成する結晶粒が小さくなり、熱処理温度 $650^{\circ}\text{C}$ 以下では結晶粒の大きさが $100\text{nm}$ 以下となっており、表面形状も凹凸の少ない平滑なものとなっていた。そして、熱処理温度 $500^{\circ}\text{C}$ 未満では、結晶粒が観察されず、平滑な表面形状となっていた。

【0046】さらに、本実施の形態の一連のサンプルの強誘電体薄膜について、X線回折による結晶性を評価した結果、熱処理温度 $500^{\circ}\text{C}$ 以上では $\text{SrBi}_2\text{Ta}_2\text{O}_9$ の多結晶となっていたが、熱処理温度 $500^{\circ}\text{C}$ 未満では明確な結晶化は確認できなかった。

【0047】以上のことから、熱処理工程の温度としては、 $500^{\circ}\text{C}$ 以上 $650^{\circ}\text{C}$ 以下であれば、強誘電体メモリに応用を考慮した場合の特性が十分で、緻密性、表面平滑性に優れた強誘電体薄膜を得ることができることが分かる。

【0048】また、熱処理工程における雰囲気ガス圧力について検討した結果、雰囲気ガス圧力が0.5 Torr 未満では酸化物薄膜からBiが蒸発して抜けるために、強誘電特性が劣化してしまい、雰囲気ガス圧力が20 Torr を越えると低温の熱処理によって十分な強誘電体薄膜の結晶化ができずに強誘電特性が劣化してしまった。これらのことから、熱処理工程における雰囲気ガス圧力としては、0.5 Torr 以上20 Torr 以下が好ましい。

【0049】なお、上記第1の実施の形態では、熱処理工程における雰囲気ガスとして、酸素を用いたが、これ以外に、アルゴン、窒素を用いても、上記第1の実施の形態と同様の効果が得られ、また、酸素と窒素との混合ガス及び酸素とアルゴンとの混合ガスを用いても上記第1の実施の形態と同様の効果が得られた。

【0050】また、MOCVD法による酸化物薄膜 (ビスマスストロンチウムタンタレート薄膜) 成膜時の基板温度について検討した結果、基板温度が $400^{\circ}\text{C}$ 未満では、酸化物薄膜が完全なアモルファス構造となってしまう、上部電極形成後の熱処理によりBiの蒸発が大きいために、層状ペロブスカイト構造とはならず、強誘電特性も得られなかった。そして、基板温度が $600^{\circ}\text{C}$ を越えると、スタック構造等の素子化する場合を考慮すると、下地電極へのダメージが大きく望ましくない。これらのことから、MOCVD法による酸化物薄膜成膜時の基板温度としては、 $400^{\circ}\text{C}$ 以上 $600^{\circ}\text{C}$ 以下が好ましい。

【0051】また、MOCVD法により形成された酸化



物薄膜(ビスマスストロンチウムタンタレート薄膜)のBi組成について検討した結果、Bi組成が化学量論比( $\text{Sr}/\text{Bi}/\text{Ta}=1/2/2$ )に対して不足していると、上部電極形成後の熱処理による結晶化が不十分となり、強誘電特性が著しく劣化してしまった。そして、化学量論比に対する酸化物薄膜のBiの過剰量が30mol%を越えると、強誘電特性が劣化してしまった。これらのことから、MOCVD法により形成された酸化物薄膜のBiの過剰量としては、0mol%以上30mol%以下が好ましい。

【0052】上記第1の実施の形態の比較例として、上部電極形成後の熱処理工程において、RTA法を用いた大気圧酸素雰囲気中で600~750℃で熱処理を施し、図1と同様の構造を有する強誘電体薄膜素子を、その電気特性の評価のため製造した。なお、本比較例において、上記第1の実施の形態と異なる点は、上部電極形成後の熱処理工程の雰囲気ガス圧力だけであり、それ以外の強誘電体薄膜形成基板やMOCVD法によるビスマスストロンチウムタンタレート薄膜の成膜条件等は、上記第1の実施の形態と全く同様のものである。

【0053】図12、図13、及び図14は、この比較例の工程で得られた膜の第2熱処理温度に対する強誘電特性を示すグラフである。強誘電特性の測定は、上記第1の実施の形態と同様に、図1に示すタイプのキャパシタに対して、公知のソーヤタワー回路を用いて、印加電圧を3Vとして行ったものである。

【0054】図12は、膜の残留分極Prの値を示すグラフである。熱処理温度が低下すると、730℃を境にPr値は急激に減少し、700℃以下では $2\mu\text{C}/\text{cm}^2$ 以下と非常に小さい値となる。図13は、抗電界Ecの値を示しており、650℃以上では熱処理温度に因らずほぼ一定の値を示している。図14に示す蓄積電荷量 $\delta Q$ は、図12に示したPrと同じように、第2熱処理温度730℃を境に、それ以下の温度になると値が急激に減少している。

【0055】図15は、3V印加時の熱処理温度に対するリーク電流の変化を示すグラフである。熱処理温度が50℃下がる毎に1桁ずつリーク電流は増加し、600℃では $10^{-5}\text{A}/\text{cm}^2$ のオーダーとなる。

【0056】次に、本比較例の一連のサンプルの膜の状態をSEMで観察した結果、熱処理温度が低いほど結晶粒が小さくなる傾向は上記第1の実施の形態の場合と同様であったが、良好な強誘電特性が得られる熱処理温度750℃では結晶粒の大きさが500~900nmであり、熱処理温度700℃でも結晶粒大きさが200~500nmと粗大で、膜表面の凹凸も大きかった。これらのように、強誘電体薄膜を構成する結晶粒の大きさが100nmより大きいと、耐性やリーク電流などの長期信頼性が著しく低下し、微細加工した後のメモリセルの強誘電特性のばらつきが大きくなってしまふ。

【0057】さらに、本比較例の一連のサンプルの強誘電体薄膜について、X線回折による結晶性を評価した結果、熱処理温度650℃以上では $\text{SrBi}_2\text{Ta}_2\text{O}_9$ の多結晶となっていたが、熱処理温度600℃未満では明確な結晶化は確認できなかった。

【0058】以上のように、比較例のような大気圧中で熱処理工程を行う製造方法では、熱処理温度が730℃よりも低い領域では、Pr値及び $\delta Q$ 値の急激な低下とリーク電流の増大が観られ、強誘電体メモリとして使用するには730℃以上の熱処理が必要である。これに対して、前述の第1の実施の形態のものでは、熱処理工程を1気圧より低いガス雰囲気中で行うことにより、熱処理温度を500℃までに下げた場合でも、Pr値及び $\delta Q$ 値の急激な減少を抑えたと共に、リーク電流の増大も抑制できる。それにより、最高熱処理温度650℃以下で強誘電体メモリとして十分な特性が得られ、FRAMの高集積化に必要なスタック構造を採用することが可能となる。また、上記第1の実施の形態では、結晶粒子の粗大化を抑制して、強誘電体薄膜の緻密化、表面平坦化が実現できたので、リーク電流の低減が可能となるばかりでなく、微細加工にも適しており、高密度デバイスへ応用可能なものである。

【0059】以下、本発明による第2の実施の形態について、図面を参照しながら説明する。図16は、本発明による第2の実施の形態である強誘電体メモリセルの要部断面図である。図16に示すように、本実施の形態の強誘電体メモリセルは、第1導電型シリコン基板54の上に、素子間分離酸化膜39と、ゲート酸化膜40と、第2の導電型不純物拡散領域41と、ポリシリコンワード線42と、層間絶縁膜43、44、51、52と、メモリ部コンタクトプラグ45と、TiNバリアメタル層46と、Pt下部電極47と、強誘電体薄膜48と、Ptプレート線49と、 $\text{Ta}_2\text{O}_5$ バリア絶縁膜50と、A1ビット線53とを備えている。

【0060】次に、この強誘電体メモリセルの製造方法について、図16に示した構造の強誘電体メモリの製造方法の例を示す説明図である図17を用いて説明する。

【0061】図17(a)に示すように、スイッチ用トランジスタを公知のMOSFET形成工程により形成し、層間絶縁膜43で覆った後、下部電極47が基板の不純物拡散領域41と接触する部分のみ公知のホトリソグラフィ法とドライエッチング法を用いてコンタクトホールを穿ち、不純物拡散したポリシリコンを埋め込んだ後、公知のCMP(Chemical Mechanical Polishing)法により、層間絶縁膜43とポリシリコンプラグ45の表面を平坦化する。

【0062】次に、図17(b)に示すように、TiNバリアメタル層46を公知のスパッタ法により膜厚200nm堆積した後、Pt薄膜47を公知のスパッタ法により膜厚100nm堆積して下部電極とする。この下部

電極上に、強誘電体薄膜48として $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 薄膜(以下、SBTO薄膜と称す)を形成するのであるが、SBTO薄膜を形成する工程のうちMOCVD法による酸化物薄膜(タンタル酸ストロンチウムビスマス薄膜)を形成するまでの工程は、前述の第1の実施の形態で説明した同じであるので説明を省略する。

【0063】MOCVD法により形成した酸化物薄膜48とPt下部電極47とTiNバリア金属層46を公知のホトリソグラフィ法とドライエッチング法を用いて、 $3.0\mu\text{m}$ 角の大きさに加工して、図17(b)に示すような形状とする。ドライエッチングには、ECREッチャーを用い、使用したガス種は、酸化物薄膜がArと $\text{Cl}_2$ と $\text{CF}_4$ との混合ガス、Pt下部電極が $\text{C}_2\text{F}_6$ と $\text{CHF}_3$ と $\text{Cl}_2$ との混合ガス、TiNバリア金属が $\text{Cl}_2$ ガスである。この時、酸化物薄膜及びPt下部電極は非常に緻密で平坦であるので、精密な微細加工が可能であり、CDロス $0.1\mu\text{m}$ 以下に抑えることができる。

【0064】次に、図17(c)に示すように、膜厚 $30\text{nm}$ の $\text{Ta}_2\text{O}_5$ バリア絶縁膜50を公知のスパッタ法を用いて堆積し、続いて、層間絶縁膜51として膜厚 $150\text{nm}$ のシリコン酸化膜を公知のCVD法にて堆積し、その後、酸化物薄膜上部に公知のホトリソグラフィ法とドライエッチング法を用いて、 $2.0\mu\text{m}$ 角のコンタクトホールを形成する。

【0065】次に、図17(d)に示すように、膜厚 $100\text{nm}$ のPt上部電極を公知のスパッタ法により形成し、公知のホトリソグラフィ法とドライエッチング法を用いて加工してプレート線49とした後、RTA法を用いて $5\text{Torr}$ の酸素雰囲気中で $600^\circ\text{C}$ で30分間の熱処理を行い、酸化物薄膜を結晶化させた。結晶化させた後のSBTO膜の断面はやはり非常に平滑で緻密であり、強誘電体キャパシタの形状を損ねることはなかった。また、SBTO膜の膜厚を測定したところ、 $200\text{nm}$ であった。

【0066】その後、公知の平坦化技術によりCVD法を用いて層間絶縁膜52を堆積して平坦化を行い、公知のホトリソグラフィ法とドライエッチング法を用いてスイッチ用トランジスタのもう一方の不純物拡散領域へのコンタクトホールを形成し、公知のAl配線技術を用いてビット線53を形成し、図16に示したような強誘電体メモリセルが完成する。

【0067】このようにして製造した強誘電体メモリセルの電気特性を公知のソーヤタワー回路を用いて測定した。図18は、印加電圧を $3\text{V}$ で測定した時のヒステリシスループを示すグラフである。ヒステリシスループの形状は良好で、残留分極Prは $5\mu\text{C}/\text{cm}^2$ 、抗電界Ecは $30\text{kV}/\text{cm}$ ( $0.6\text{V}$ )の値が得られており、強誘電体キャパシタとして十分な動作が確認された。また、印加電圧 $3\text{V}$ でリーク電流の値は、 $5\times 10$

$-8\text{A}/\text{cm}^2$ であり、強誘電体キャパシタとして十分な特性が確認された。

【0068】図19は、電圧 $3\text{V}$ 、周波数 $1\text{MHz}$ のバースを印加して繰り返し分極反転を行った場合の、繰り返し分極反転回数に対する蓄積電荷量 $\delta Q$ の変化をプロットしたグラフである。 $2\times 10^{11}$ サイクルの分極反転後も蓄積電荷量に全く変化は見られず、不揮発性メモリとして良好な特性を示すものである。

【0069】以下、本発明による第3の実施の形態について、図20を参照しながら説明する。第3の実施の形態では、上記第1の実施の形態において酸化物薄膜であるビスマスストロンチウムタンタレート薄膜の形成にMOCVD法を用いたが、この形成をスパッタ法により行い、上記第1の実施の形態と同様の図1に示すような強誘電体薄膜素子を作製するものである。

【0070】まず、上記第1の実施の形態と同様に、n型シリコン基板1の表面に、膜厚が $200\text{nm}$ のシリコン熱酸化膜2、膜厚が $30\text{nm}$ のTa膜3、厚さが $200\text{nm}$ のPt膜4を形成し、これを強誘電体薄膜形成基板として用いる。

【0071】次に、この基板上に、スパッタ法を用いて、酸化物薄膜であるビスマスストロンチウムタンタレート薄膜を形成する。

【0072】スパッタ法としてマグネトロンスパッタ法を用い、ターゲットにはSr酸化物、Bi酸化物、及びTa酸化物を混合して焼結した焼結体ターゲットを用いた。この焼結体ターゲットの組成比は、Sr/Bi/Taのモル比が $1/3/2$ であった。この焼結体ターゲットを用いて、Ar(アルゴン)ガスと反応ガスである $\text{O}_2$ (酸素)ガスとの混合ガス雰囲気中にて、スパッタを行い、上記の基板上に酸化物薄膜であるビスマスストロンチウムタンタレート薄膜を形成した。このときの成膜条件は、Arガスと $\text{O}_2$ ガスとの流量比をArガスが $200\text{sccm}$ 、 $\text{O}_2$ ガスが $200\text{sccm}$ とし、成膜室内全体の圧力を $5\text{mTorr}$ に調整しながら、 $13.56\text{MHz}$ の高周波電力でスパッタパワーを $1\text{kW}$ とし、成膜温度即ち基板温度を $400^\circ\text{C}$ に設定し、約1時間の成膜時間で、膜厚が $250\text{nm}$ のビスマスストロンチウムタンタレート酸化物薄膜を形成した。

【0073】このようにして形成したビスマスストロンチウムタンタレート薄膜についてのX線回折による結晶性の評価の結果、層状ペロブスカイト構造の明確な結晶ピーク(SBTOピーク)は観察されなかったが、半値幅の広い緩やかなピークが見受けられ、完全なアモルファス構造ではないことが分かり、このことから結晶の核となる微結晶が生成しているものと考えられる。

【0074】また、このビスマスストロンチウムタンタレート薄膜についての組成分析装置EPMA(Electron Probe Micro Analysis)による組成分析の結果、Sr/Bi/Ta組成比は、Sr/Bi/Ta $=1/2.4$

／2であった。

【0075】その後、上記のビスマスストロンチウムタングレート薄膜上に、EB (electron beam) 蒸着法により、膜厚200nmのPt上部電極6をマスク蒸着した。本実施の形態では、強誘電体特性評価用の電極サイズとして、Pt上部電極6を100 $\mu$ m $\phi$ の電極としたが、本発明がこれらの電極形状や電極サイズに限定されるものではない。なお、後述する熱処理工程のガス雰囲気中のガス圧力が異なる複数種類の強誘電体薄膜素子を作製するため、ここまでの工程については同様の作製条件により、複数種類のサンプルを作製した。

【0076】次に、酸素雰囲気中にて600℃に加熱して、30分間の熱処理工程を行うことにより、強誘電体薄膜を形成する。ここで、本実施の形態では、酸素雰囲気中のガス圧力が0.1～760Torrの範囲で、複数種類のサンプルのそれぞれについて一定のガス圧力で熱処理を施した。

【0077】なお、この酸素雰囲気中での熱処理を行う熱処理装置は、1気圧より低いガス圧力雰囲気中で熱処理ができるものであれば通常の熱処理炉等を用いることができものである。また、熱処理雰囲気としては、酸素以外に窒素又はアルゴン等の不活性ガスでも良く、また、窒素やアルゴン等の不活性ガス及び酸素のうちの2種類以上混合させた混合ガスであっても良い。

【0078】以上の工程により、酸素雰囲気中のガス圧力が異なる複数種類の強誘電体薄膜素子の作製を完了する。

【0079】図20及び図21は、上述の製造工程により得られた熱処理工程のガス雰囲気中のガス圧力が異なる複数種類(0.1, 1, 3, 5, 10, 50, 760Torrの7種類)の膜の熱処理工程の酸素雰囲気中のガス圧力に対する強誘電特性を示すグラフである。強誘電特性の測定は、図1に示すタイプのキャパシタに対して、公知のソーヤタワー回路を用いて、印加電圧を3Vとして行ったものである。なお、酸素ガス圧が0.1Torrのものについては、電極間で導通してしまい、強誘電特性を測定できなかったため、図20及び図21のグラフにはプロットしていない。

【0080】図20は、熱処理工程のガス圧に対する膜の残留分極Prの2倍の2Pr値を示すグラフである。2Pr値は、熱処理工程の酸素雰囲気中のガス圧力が5Torrで最大となり、17 $\mu$ C/cm<sup>2</sup>という値が得られている。また、図21は、熱処理工程のガス圧に対する膜の抗電界Ecの値を示すグラフであり、抗電界Ecについても、熱処理工程の酸素雰囲気中のガス圧力が5Torrで最大となっている。なお、図20及び図21において、それぞれのガス圧でプロットした点が複数あるのは、それぞれのサンプルの異なる複数箇所(3箇所)で測定を行った結果の数値を示すものである。

【0081】図22は、上記の複数種類の強誘電体薄膜

素子のうち、熱処理工程の酸素雰囲気中のガス圧力を5Torrとしたものについての強誘電体特性の印加電圧依存性を示すヒステリシス曲線であり、図22において(a), (b), (c), (d), (e)はそれぞれ印加電圧を50kV/cm, 100kV/cm, 150kV/cm, 200kV/cm, 250kV/cmと変化させたときのヒステリシス曲線であり、図22(f)はそれらを重ねて描いたものである。これによると、印加電圧が100kV/cm以上のものでは、ヒステリシス曲線がほぼ一致しており、これは、印加電圧が100kV/cm以上で強誘電特性が飽和していることを示すものである。このことから、印加電圧が100kV/cm以上であれば、多少の電圧の変化があっても、ほぼ一定の特性が得られる良好な強誘電特性を有するものであるといえる。

【0082】図23は、上述の製造工程により得られた熱処理工程のガス雰囲気中のガス圧力が異なる複数種類(0.1Torr, 1Torr, 3Torr, 5Torr, 10Torr, 50Torr, 760Torr)の膜のX線回折による観察結果である。図23において、横軸は回折角度 $2\theta$ (deg)であり、縦軸は回折強度(任意強度)であるが、縦軸ではそれぞれの熱処理雰囲気ガス圧力について回折強度0となる位置を移動させているものである。そして、図23中、SBTO(105)、SBTO(110)、SBTO(0010)、SBTO(200)、SBTO(1110)、及びSBTO(215)はSrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>(SBTO)による回折ピーク、 $\delta$ -TaOは $\delta$ 相TaOによる回折ピーク、Siはシリコン基板による回折ピーク、PtはPt下部電極による回折ピーク、Bi<sub>2</sub>Pt(210)はPt膜(下部電極)とBiとが合金化して生成されたBi<sub>2</sub>Ptによる回折ピークをそれぞれ表すものである。なお、Pt膜(下部電極)とBiとが合金化して生成されたBi<sub>2</sub>Ptの合金層はTEM観察の結果10nm以下のごく薄い膜厚のものであるにもかかわらず、比較的大きな回折ピークを示したものである。

【0083】図23によれば、3Torr～50TorrのものではSBTOの多結晶ピーク(SBTO(105), SBTO(110), SBTO(0010), SBTO(200), SBTO(1110), SBTO(215))が現れており、0.1Torr及び1TorrのものではSBTOピークはなくTaOのピーク( $\delta$ -TaO)が現れている。そして、760Torrのものである、SBTOピークが非常にブロードになっており、アモルファスライクな膜になっているものと考えられる。すなわち、3Torr～50Torrのものでは多結晶構造となっており、0.1Torr, 1Torr、及び760Torrのものでは明確な結晶化が確認できない結果となった。

【0084】このX線回折の観察結果によれば、熱処理

工程の雰囲気ガス圧力としては、3 Torr～50 Torrの範囲において、SBTOピークを示す膜が得られたことがわかる。

【0085】図24は、5 Torr酸素雰囲気中600℃で30分間の熱処理を行ったサンプル（強誘電体薄膜素子）に、電圧3V、周波数1MHzのパルスを加えて、繰り返し分極反転を行った場合の、繰り返し分極反転回数に対する蓄積電荷量 $\delta Q$ の変化をプロットしたグラフである。2×10<sup>11</sup>サイクルの分極反転後も蓄積電荷量に全く変化は見られず、不揮発性メモリに応用するのに良好な特性を示している。

【0086】上記の本実施の形態の膜の評価は、熱処理工程において、熱処理温度を600℃一定として酸素雰囲気中のガス圧力を変化させて作製した複数種類の強誘電体薄膜素子について説明した。

【0087】次に、上述の熱処理工程において、酸素雰囲気中のガス圧力を一定として、熱処理温度を変化させて複数種類の強誘電体薄膜素子を作製し、それらの評価を行った結果について説明する。なお、本実施の形態では、酸素雰囲気中のガス圧力を5 Torr一定として熱処理温度を550℃、600℃、650℃としたもの（熱処理時間30分間）と、酸素雰囲気中のガス圧力を760 Torr一定として熱処理温度を680℃、700℃、730℃、750℃、800℃としたもの（熱処理時間30分間）との8種類のサンプルを作製した。なお、ここで、RTA法による熱処理工程における酸素雰囲気中のガス圧力及び熱処理温度以外は、上述の作製工程と全く同様にしたものである。

【0088】図25は、熱処理温度に対する膜の残留分極Prの2倍の2Pr値を示すグラフである。雰囲気ガス圧力が5 Torr一定のものでは熱処理温度600℃以上で2Pr値15  $\mu\text{C}/\text{cm}^2$ 以上の良好な値が得られていることがわかる。これに対して、酸素雰囲気中のガス圧を760 Torr一定としたものは、熱処理温度が750℃でも2Pr値が15  $\mu\text{C}/\text{cm}^2$ に達しておらず、2Pr値がこの値を越えるためには、これよりも高温の熱処理温度が必要であることがわかる。このことから、本実施の形態によれば、150℃以上の熱処理温度の低温化が実現できている。

【0089】図26は、上記のサンプルのうち、酸素雰囲気中のガス圧力を5 Torr一定として熱処理温度を600℃としたもの（図26(a)）と、酸素雰囲気中のガス圧力を760 Torr一定として熱処理温度を700℃としたもの（図26(b)）とについて、Pt上部電極が形成されていない部分のSEM（電子顕微鏡）によるSBTO膜の表面形状を観察した結果である。図26から、いずれのサンプルも2Pr値が15  $\mu\text{C}/\text{cm}^2$ 前後であるが、酸素雰囲気中のガス圧力を5 Torr一定として熱処理温度を600℃としたものが、SBTO膜を構成する結晶粒が小さく（最大結晶粒径が100 nm

m以下）、表面形状も凹凸が少なく平滑で、優れた膜表面特性が得られていることが分かる。

【0090】なお、詳細については述べないが、上記の酸素雰囲気中の熱処理温度について検討した結果、十分な結晶化が行われて十分な強誘電特性を得るには550℃以上が好ましく、また、高集積化した場合のコンタクトプラグ等にダメージを与えないには650℃以下が好ましい。

【0091】なお、上記第3の実施の形態では、熱処理工程における雰囲気ガス圧力を0.1 Torr～760 Torrとしたが、これを0.5 Torr未満にすると酸化物薄膜からBiが蒸発して抜け、良好な強誘電特性が得られない傾向を示した。また、熱処理工程における雰囲気ガス圧力が20 Torrを越えると、本発明による熱処理工程の低温化の効果が薄れ、これを越える雰囲気ガス圧力ではガス圧力が高くなるほど強誘電特性が悪化する傾向がみられた。これらのことから、熱処理工程における雰囲気ガス圧としては、0.5 Torr以上20 Torr以下が好ましい。

【0092】なお、上記第3の実施の形態では、熱処理工程における雰囲気ガスとして酸素を用いたが、これ以外にアルゴン、窒素、酸素とアルゴンとの混合ガス、又は酸素と窒素との混合ガスを用いて、1気圧よりも低いガス圧力雰囲気中で上記第3の実施の形態と同様の熱処理を行ったものについても同様の特性が得られた。

【0093】また、スパッタ法による酸化物薄膜（ビスマスストロンチウムタンタレート薄膜）成膜時の基板温度（成膜温度）について検討した結果、基板温度が250℃未満では、酸化物薄膜が完全なアモルファス構造となってしまう、上部電極形成後の熱処理によりBiの蒸発が大きいために、層状ペロブスカイト構造とはならず、強誘電特性も得られなかった。そして、基板温度が500℃を越えると、スパッタ成膜時のBiの再蒸発が大きく、また、スタック構造等の素子化する場合を考慮すると、下地電極へのダメージが大きく望ましくない。これらのことから、スパッタ法による酸化物薄膜成膜時の基板温度（成膜温度）としては、250℃以上500℃以下が好ましい。

【0094】また、スパッタ法により形成された酸化物薄膜（ビスマスストロンチウムタンタレート薄膜）のBi組成について検討した結果、Bi組成が化学量論比（Sr/Bi/Ta=1/2/2）に対して不足していると、上部電極形成後の熱処理による結晶化が不十分となり、強誘電特性が著しく劣化してしまった。そして、化学量論比に対する酸化物薄膜のBiの過剰量が30 mol%を越えると、強誘電特性が劣化してしまった。これらのことから、MOCVD法により形成された酸化物薄膜のBiの過剰量としては、0 mol%以上30 mol%以下が好ましい。

【0095】以上のように、上記第3の実施の形態のも

のでは、熱処理工程を1気圧より低いガス雰囲気中で行うことにより、熱処理温度を従来より低くした場合でも、Pr値及び $\delta Q$ 値の急激な減少を抑制できる。それにより、最高熱処理温度600℃以下でも強誘電体メモリとして十分な特性が得られ、FRAMの高集積化に必要なスタック構造を採用することが可能となる。また、上記第3の実施の形態では、結晶粒子の粗大化を抑制して、強誘電体薄膜の緻密化、表面平坦化が実現できたので、リーク電流の低減が可能となるばかりでなく、微細加工にも適しており、高密度デバイスへ応用可能なものである。

【0096】また、上記第3の実施の形態を用いて、上記第2の実施例と同様に、強誘電体メモリセルの作製を行っても、上記第2の実施形態と同様の優れた特性が得られることを確認している。なお、このときの強誘電体薄膜を形成するための熱処理条件としては、酸素雰囲気ガス圧を5 Torr、熱処理温度を600℃、熱処理時間を30分間とした。

【0097】なお、上記の実施の形態において、強誘電体薄膜の材料としてSBTO ( $\text{SrBi}_2\text{Ta}_2\text{O}_9$ )を用いたが、材料はこれに限定されるものではなく、 $\text{SrBi}_2\text{Nb}_2\text{O}_9$ 、 $\text{SrBi}_2(\text{Ta}, \text{Nb})_2\text{O}_9$ 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 $\text{SrBi}_4\text{Ti}_4\text{O}_{15}$ 、 $\text{SrBi}_4(\text{Ti}, \text{Zr})_4\text{O}_{15}$ 、 $\text{CaBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{BaBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{BaBi}_2\text{Nb}_2\text{O}_9$ 、 $\text{PbBi}_2\text{Ta}_2\text{O}_9$ などの物理的蒸着法又は化学的蒸着法で成膜可能なビスマス層状構造化合物材料であれば、本発明は適用可能である。

【0098】なお、上記第1及び第2の実施の形態では、酸化物薄膜の形成に、MOCVD法又はスパッタ法を用いたが、本発明がこれに限定されるものではなく、真空蒸着法、レーザアブレーション法等の物理的蒸着法や、MOCVD法以外のCVD法等の化学的蒸着法を用いることができるものである。

【0099】

【発明の効果】本発明の強誘電体薄膜素子の製造方法によれば、物理的蒸着法又は化学的蒸着法を用いた強誘電体薄膜の形成において、所望の強誘電体薄膜材料の成分元素から成る酸化物薄膜を形成し、その上に上部電極薄膜を形成した後の熱処理工程として、1気圧より低いガス圧力雰囲気中にて酸化物薄膜を加熱することにより、強誘電体薄膜を結晶化させることで、従来の方法よりも成膜温度の低温化が可能となる。さらに、本発明の強誘電体薄膜の製造方法により作製された膜は、粒子径の小さい緻密な膜となり、リーク電流が小さく絶縁性の高い強誘電体薄膜を得ることができる。

【0100】さらに、本発明の製造方法では、600℃という低温の熱処理工程により、メモリとして十分な特性が得られるので、強誘電体メモリのスタック構造を用いた集積化が可能となる。

【0101】また、本発明の強誘電体薄膜素子の製造方

法により作製された薄膜は、結晶粒子の粗大化を抑制して膜の緻密化、表面平坦化が実現でき、微細加工にも適しているため、より高密度なデバイスの製造が実現できる。

【図面の簡単な説明】

【図1】本発明による第1の実施の形態の強誘電体薄膜素子の概略断面図である。

【図2】第1の実施の形態の酸化物薄膜の熱処理（アニール）を施さない場合のX線回折による結晶性の評価結果を示す図である。

【図3】第1の実施の形態の酸化物薄膜の熱処理（アニール）を施した場合のX線回折による結晶性の評価結果を示す図である。

【図4】第1の実施の形態の強誘電体薄膜素子の熱処理温度に対する残留分極Prの変化を示すグラフである。

【図5】第1の実施の形態の強誘電体薄膜素子の熱処理温度に対する抗電界Ecの変化を示すグラフである。

【図6】第1の実施の形態の強誘電体薄膜素子の熱処理温度に対する蓄積電荷量 $\delta Q$ の変化を示すグラフである。

【図7】第1の実施の形態の強誘電体薄膜素子の印加電圧に対する残留分極Prの変化を示すグラフである。

【図8】第1の実施の形態の強誘電体薄膜素子の印加電圧に対する抗電界Ecの変化を示すグラフである。

【図9】第1の実施の形態の強誘電体薄膜素子の印加電圧に対する蓄積電荷量 $\delta Q$ の変化を示すグラフである。

【図10】第1の実施の形態の強誘電体薄膜素子の疲労特性を示す図である。

【図11】第1の実施の形態の強誘電体薄膜素子の熱処理温度に対する3V印加時のリーク電流の変化を示すグラフである。

【図12】比較例の強誘電体薄膜素子の熱処理温度に対する残留分極Prの変化を示すグラフである。

【図13】比較例の強誘電体薄膜素子の熱処理温度に対する抗電界Ecの変化を示すグラフである。

【図14】比較例の強誘電体薄膜素子の熱処理温度に対する蓄積電荷量 $\delta Q$ の変化を示すグラフである。

【図15】比較例の強誘電体薄膜素子の熱処理温度に対する3V印加時のリーク電流の変化を示すグラフである。

【図16】本発明による第2の実施の形態の強誘電体メモリの要部断面図である。

【図17】第2の実施の形態の強誘電体メモリの製造工程の一部を示す断面図である。

【図18】第2の実施の形態のSBTO強誘電体メモリに3Vの電圧を印加したときのヒステリシスループを示すグラフである。

【図19】第2の実施の形態のSBTO強誘電体メモリの疲労特性を示すグラフである。

【図20】第3の実施の形態の強誘電体薄膜素子の熱処

理工程の雰囲気ガス圧力に対する残留分極  $P_r$  の2倍の  $2P_r$  値の変化を示すグラフである。

【図21】第3の実施の形態の強誘電体薄膜素子の熱処理工程の雰囲気ガス圧力に対する抗電界  $E_c$  の変化を示すグラフである。

【図22】第3の実施の形態の強誘電体薄膜素子の印加電圧に対するヒステリシス曲線の変化を示す図である。

【図23】第3の実施の形態のSBTO薄膜の熱処理工程の雰囲気ガス圧力に対するX線回折の変化を示す図である。

【図24】第3の実施の形態の強誘電体薄膜素子の疲労特性を示す図である。

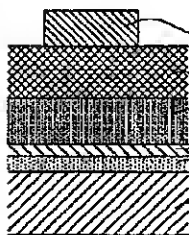
【図25】第3の実施の形態の強誘電体薄膜素子の熱処理温度に対する残留分極  $P_r$  の2倍の  $2P_r$  値の変化を示すグラフである。

【図26】第3の実施の形態のSBTO薄膜の表面形状のSEMによる観察結果を示す電子顕微鏡写真である。

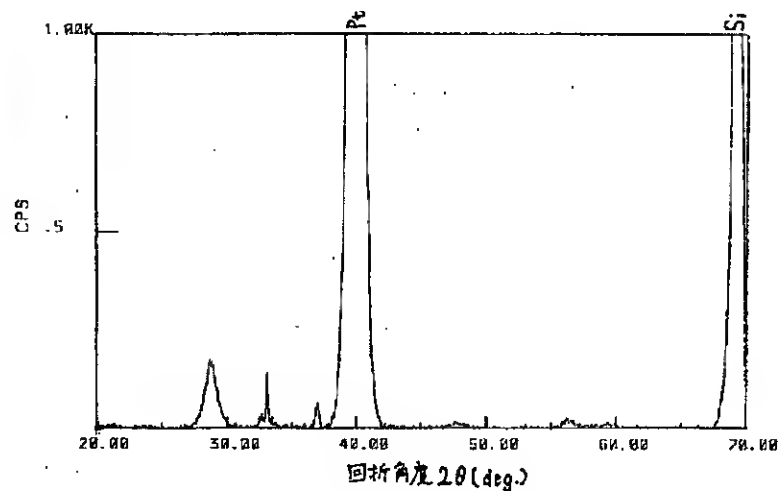
【符号の説明】

- 1 Si基板
- 2  $\text{SiO}_2$
- 4 下部電極層
- 5、48 強誘電体薄膜
- 6 上部電極層
- 41 第2導電型不純物拡散領域
- 43、44、51、52 層間絶縁膜
- 45 メモリ部コンタクトプラグ
- 47 下部電極
- 49 プレート線
- 54 第1導電型シリコン基板

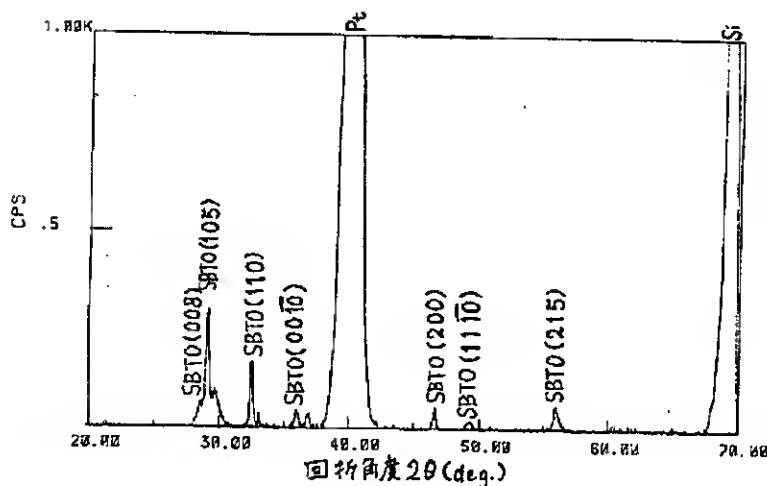
【図1】



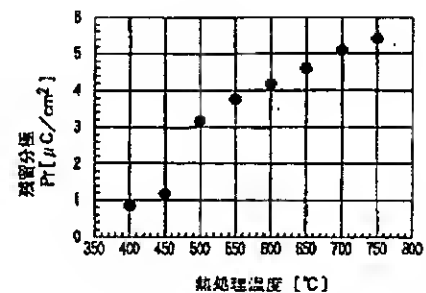
【図2】



【図3】

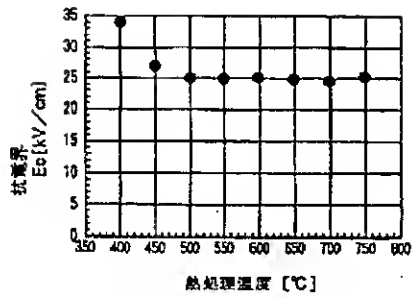


【図4】

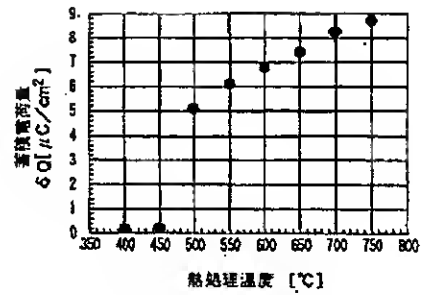




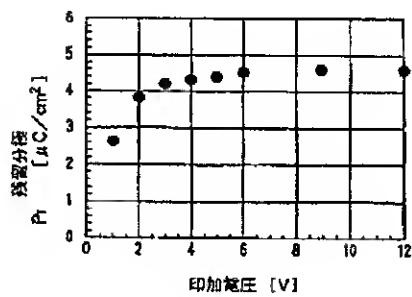
【図5】



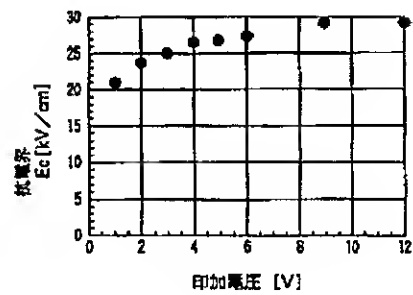
【図6】



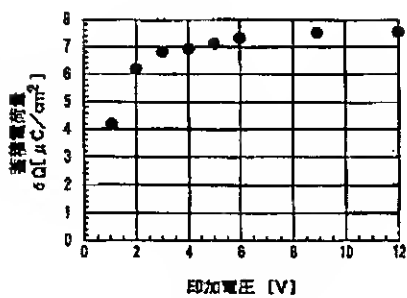
【図7】



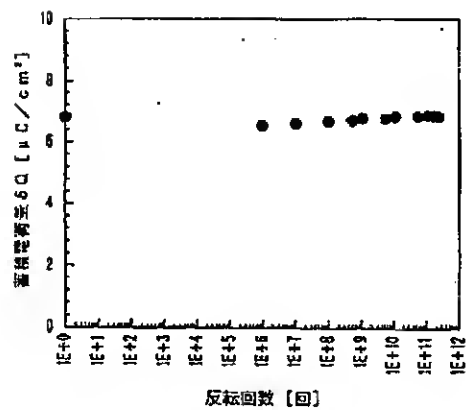
【図8】



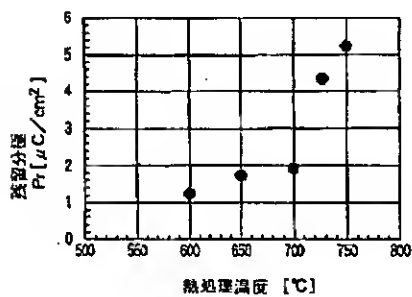
【図9】



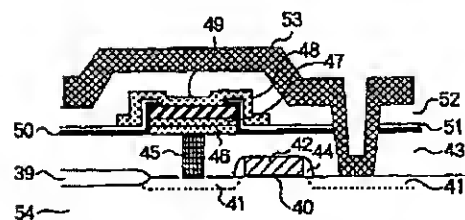
【図10】



【図12】

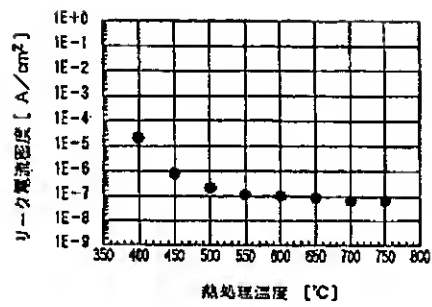


【図16】

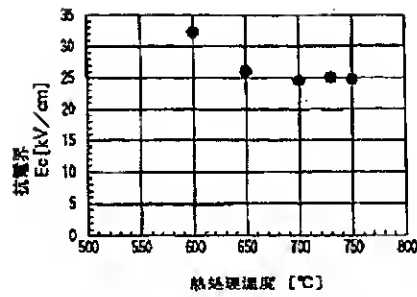




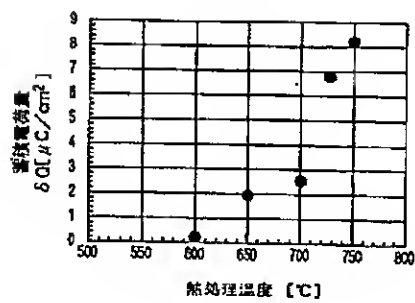
【図11】



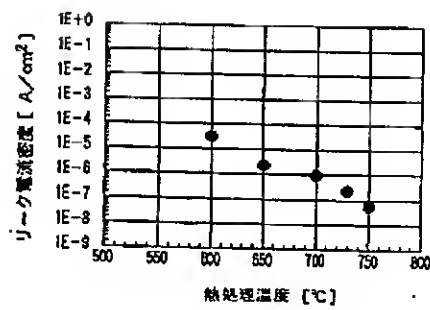
【図13】



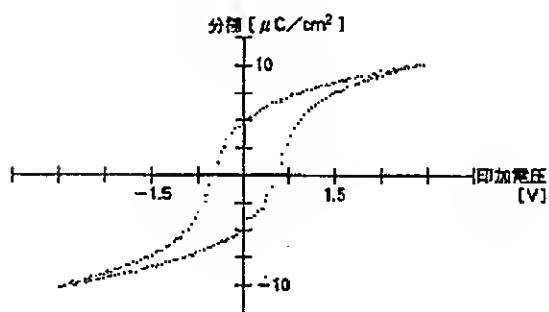
【図14】



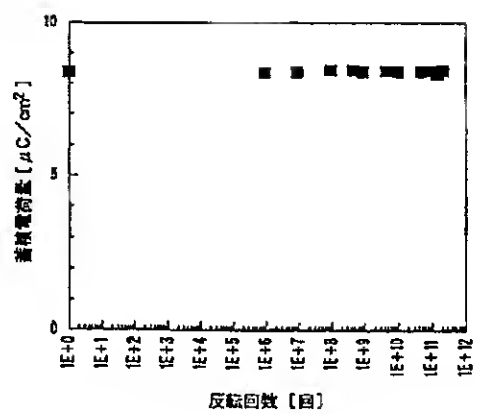
【図15】



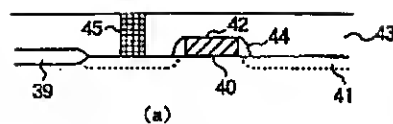
【図18】



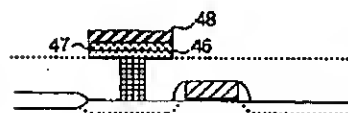
【図19】



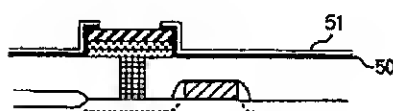
【図17】



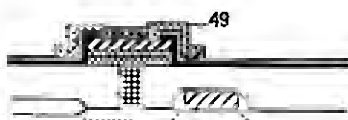
(a)



(b)

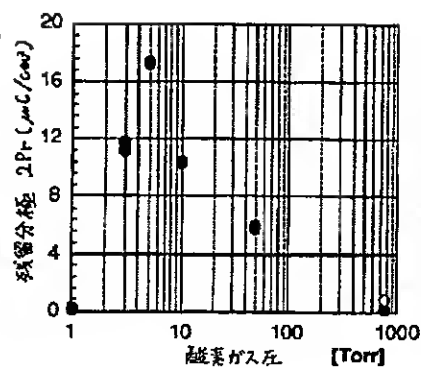


(c)

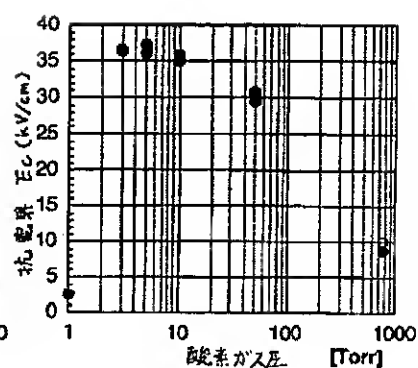


(d)

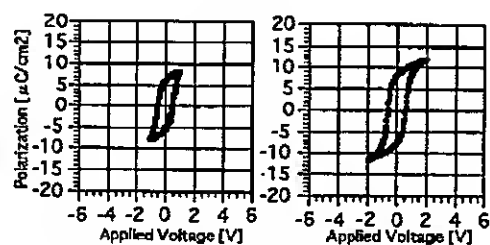
【図20】



【図21】

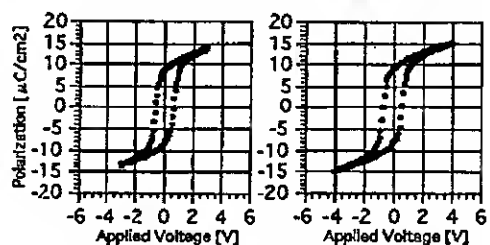


【図22】



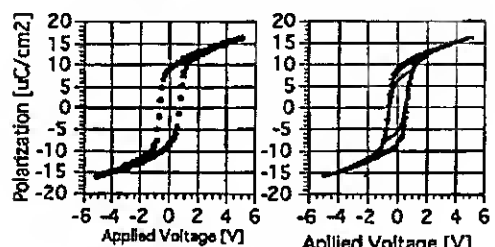
(a) 50kV/cm印加

(b) 100kV/cm印加



(c) 150kV/cm印加

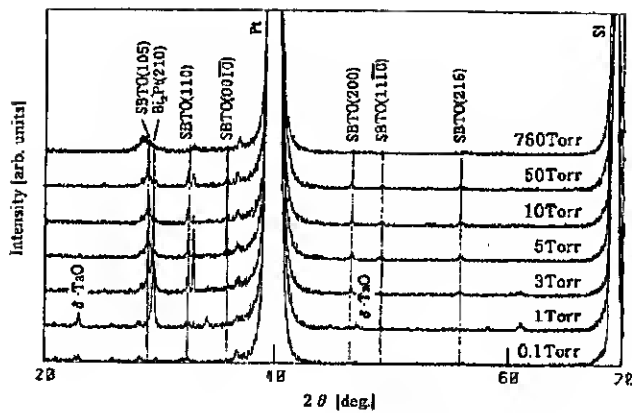
(d) 200kV/cm印加



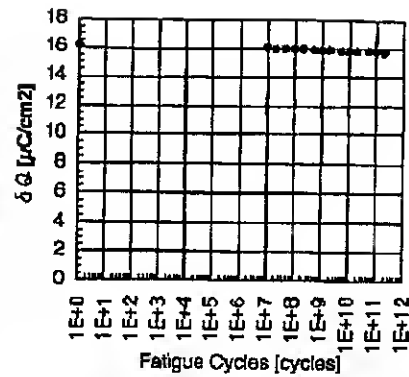
(e) 250kV/cm印加

(f)

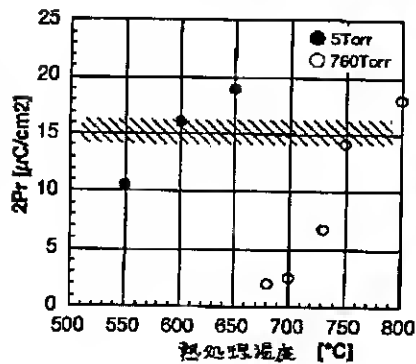
【図23】



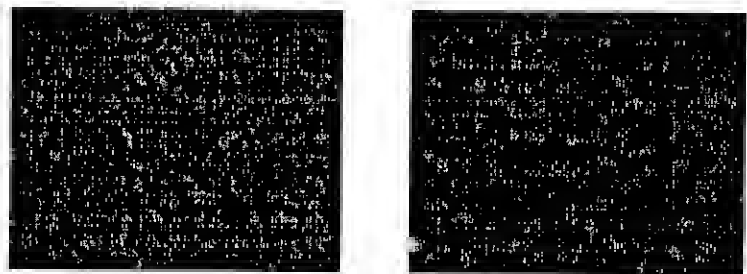
【図24】



【図25】



【図26】

(a) 600  $^{\circ}\text{C}$   $\times$  30 min., 5 Torr(b) 750  $^{\circ}\text{C}$   $\times$  30 min., 760 Torr

フロントページの続き

(51)Int. Cl. <sup>6</sup>

H01L 21/8247

29/788

29/792

37/02

41/09

41/18

41/22

// H01L 21/316

識別記号

片内整理番号

FI

H01L 29/78

41/08

41/18

41/22

技術表示箇所

371

C

101Z

Z

(72)発明者 松永 宏典

大阪府大阪市阿倍野区長池町22番22号 シ

ヤープ株式会社内